

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284611

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H01L 21/82

H01L 21/60

(21)Application number : 09-090491

(71)Applicant : NEC CORP

(22)Date of filing : 09.04.1997

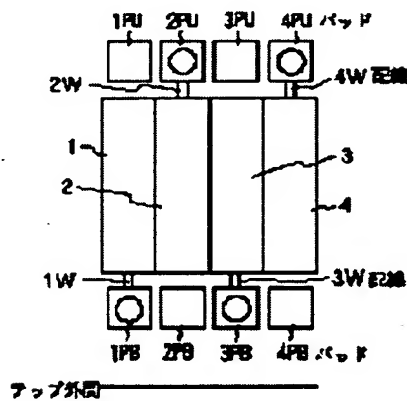
(72)Inventor : TSUBOKURA FUSAO

(54) INPUT/OUTPUT BUFFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an input/output buffer which reduces dead space and enables a multiple pin structure.

SOLUTION: Odd-numbered input/output circuits 1 and 3 on an application specific integrated circuit(ASIC) chip are connected via wirings 1W and 3W to pads 1PB and 3PB on a chip peripheral side. Even-numbered input/output circuits 2 and 4 are connected via wirings 2W and 4W to pads 2PU and 4PU on a chip central side. By this arrangement, the multiple pin structure can be realized similarly to a staggered pad structure. Further, all or a part of pads 1PB to 4PB on the chip peripheral side may be used without the pads 1PU to 4PU on the chip central side. In this case, a region including the pads on the chip central side is used as an internal gate region or wiring region.



LEGAL STATUS

[Date of request for examination] 09.04.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2910724

[Date of registration] 09.04.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284611

(43) 公開日 平成10年(1998)10月23日

(51) Int. Cl. ⁶	識別記号	F I	
H 0 1 L 21/82		H 0 1 L 21/82	P
21/60	3 0 1	21/60	3 0 1 N

審査請求 有 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平9-90491

(22) 出願日 平成9年(1997)4月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坪倉 富左雄

東京都港区芝五丁目7番1号 日本電気株式会社内

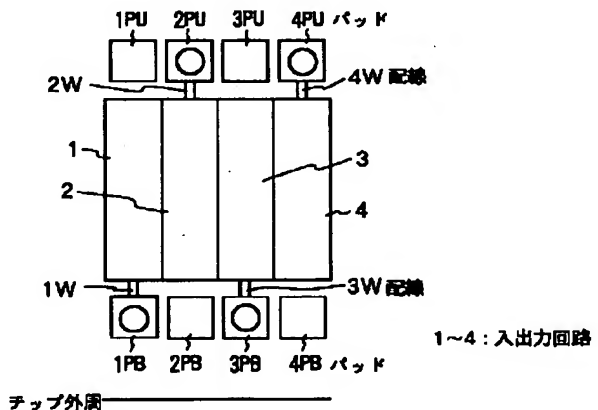
(74) 代理人 弁理士 松浦 兼行

(54) 【発明の名称】 入出力バッファ

(57) 【要約】

【課題】 千鳥パッド構造の入出力バッファは、配線に空きがでた場合、完全なデッドスペースができる。また、ASICの場合は、使用する入出力端子数が少なくなるに従い、デッドスペースが増加する。

【解決手段】 ASICチップ上の奇数番目の入出力回路1、3は配線1W、3Wを介してチップ周辺側のパッド1PB、3PBに接続され、偶数番目の入出力回路2、4は配線2W、4Wを介してチップ中心側のパッド2PU、4PUに接続されている。これにより、千鳥パッド構造と同様に多ピン化が実現できる。また、チップ中心側のパッド1PU~4PUをすべて不使用とし、チップ周辺側のパッド1PB~4PBの全部又は一部を使用することもでき、この場合はチップ中心側のパッドを含む領域を内部ゲート領域や配線領域として転用できる。



【特許請求の範囲】

【請求項1】 ASIC集積回路チップ上の周辺に配置する入出力回路に対して、チップ周辺側とチップ中心側にそれぞれ配置されたパッドを有することを特徴とする入出力バッファ。

【請求項2】 前記チップ中心側のパッドを配置可能な領域のうち、パッド領域として用いない領域をパッド領域に代えて配線領域としたことを特徴とする請求項1記載の入出力バッファ。

【請求項3】 ASIC集積回路チップ周辺に配置された複数の入出力回路と、
前記複数の入出力回路のそれぞれに対してチップ周辺側とチップ中心側の2か所ずつに配置されたパッドと、
前記複数の入出力回路のうち奇数番目の入出力回路は、それぞれ対応して設けられた前記チップ周辺側とチップ中心側の2か所ずつに配置されたパッドのうちの一方のパッドにのみ接続し、偶数番目の入出力回路は、それぞれ対応して設けられた前記チップ周辺側とチップ中心側の2か所ずつに配置されたパッドのうちの他方のパッドにのみ接続する配線とを有することを特徴とする入出力バッファ。

【請求項4】 前記複数の入出力回路のうち任意の入出力回路は、それぞれ対応して設けられた前記チップ周辺側とチップ中心側の2か所ずつに配置されたパッドのうち、前記チップ周辺側に配置されたパッドにのみ前記配線により接続されていることを特徴とする請求項3記載の入出力バッファ。

【請求項5】 ASIC集積回路チップ周辺に、ボンディングが可能なパッドピッチの半分の値以上で該パッドピッチ以下のピッチで配列されている複数の入出力回路と、
前記複数の入出力回路に対してチップ周辺側の領域とチップ中心側の領域のそれぞれにボンディングが可能なパッドピッチ以上で配置された複数のパッドと、
前記複数の入出力回路のうちの任意の入出力回路と、前記複数のパッドのうちの任意のパッドとを接続する配線とを有することを特徴とする入出力バッファ。

【請求項6】 前記複数の入出力回路のうち奇数番目の入出力回路は、前記チップ周辺側の領域と前記チップ中心側の領域のうちの一方の領域に配置されたパッドにのみ前記配線により接続され、偶数番目の入出力回路は、前記チップ周辺側の領域と前記チップ中心側の領域のうちの他方の領域に配置されたパッドにのみ前記配線により接続されていることを特徴とする請求項5記載の入出力バッファ。

【請求項7】 前記複数の入出力回路のうち任意の入出力回路は、前記チップ周辺側の領域とチップ中心側の領域に配置された複数のパッドのうち、前記チップ周辺側の領域に配置されたパッドにのみ前記配線により接続されていることを特徴とする請求項5記載の入出力バッ

ファ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は入出力バッファに係り、特にASIC集積回路チップ周辺に配置されている入出力バッファに関する。

【0002】

【従来の技術】 最近の論理回路は、ゲートアレイやエンベデッドアレイ、セルベース等のASIC（特定用途向け集積回路）が一般的に広く使われている。微細加工技術の進展に伴い、集積度は益々大きくなり、1メガゲートを越えるようになり、それに従い入出力端子数の数も1000ピンを越えるようになった。当然、小さなチップでも集積度が高まり、入出力端子数のアンバランスが生じ、入出力端子数の増加が必須となっている。

【0003】 特に、ゲートアレイ等のASICにおいては、同じゲート規模のチップにて小ピンから多ピンまで多様なパッケージに対応するのが、開発期間の短期間化と経済性のため一般的である。そのため、要求する多パッケージが実現できない場合は、次の大きなゲートサイズまで大きくなり、コストアップとなる。そのため、同じゲート規模のチップにて多くのパッケージに対応できるように、入出力端子数を増やしたチップ構成が必要となる。

【0004】 図5は従来の入出力バッファの一例の要部の配列図を示す。チップの外周の内側において、並設されている入出力回路21、22、23及び24は、それぞれ対応する配線21W、22W、23W及び24Wを介してパッド21P、22P、23P及び24Pに接続されている。パッド21P、22P、23P及び24Pは千鳥構造とされている。千鳥構造にすることによりパッド数を増やし、また、ボンディング技術からくる制約（単列ではパッドピッチ120μm程度が現状技術水準）を回避している。

【0005】 すなわち、組み立て技術、プロービング技術等の制約のため、ボンディング技術ではパッド単列で120μmピッチに並べるのがせいぜいであり、TAB技術では80μmピッチであることから、従来は入出力端子数を増すために、入出力回路を数多くチップに内蔵させることとなるが、パッド単列から図7や図8に示す千鳥パッド構造を採用することにより、ボンディング技術では80μmピッチに並べることで約1000ピンを実現している。ここで、図7の例では80μm角のパッド25がパッドピッチ80μmで、また、図8の例では80μm角のパッド26がパッドピッチ50μmで配置されている。

【0006】

【発明が解決しようとする課題】 しかるに、千鳥パッド構造の場合は、従来の単列方式に比べるとパッド領域が広くなる。ここで、チップの最外周に並んでいるパッド

領域は、その内側に図5に示したように入出力回路21～24があり、内部回路とパッド領域とが離れているので、それ以外の回路や配線をエリアとして空きがでても、図6に示すように利用できない。従って、空きがでた場合、完全なデッドスペースになってしまう。

【0007】また、ASICの場合は、予め用意されている最大許容入出力端子を使用するときがコスト的にベストであるが、顧客の要望により使用する入出力端子数がこの最大許容端子数よりも少ない場合があり、このような場合、使用する入出力端子数が少なくなるに従い、デッドスペースが増加する。約半分しか使用しないとき、チップの最外周に並んでいるパッドエリアは完全なデッドスペースとなる。これを5mm角のチップサイズで見積もると、図7の千鳥構造のパッドにおいて外周側にある領域は図示の通り120 μ m幅でチップを一周する。すなわち、簡便的にデッドスペース/チップ面積が0.096(=0.12 \times 5 \times 4/25)、すなわち約10%の比率であり、コスト上大変不利となる。

【0008】また、更に狭ピッチにしようとする、千鳥構造を使用しても図8に示すように50 μ mピッチで入出力回路と接続する配線(20 μ m～30 μ m程度必要)がひけなくなる欠点もある。つまり、千鳥構造のうち、チップ内側のパッドピッチが図8に示したような最小間隔になると、チップ内側のパッド列の間に配線を通せなくなり、チップ外側のパッドからチップ内側への配線ができなくなる。

【0009】本発明は以上の点に鑑みなされたもので、デッドスペースを少なくし得る入出力バッファを提供することを目的とする。

【0010】また、本発明の他の目的は、多ピン化を実現し得る入出力バッファを提供することにある。

【0011】

【課題を解決するための手段】本発明は上記の目的を達成するため、ASIC集積回路チップ上の周辺に配置する入出力回路に対して、チップ周辺側とチップ中心側にそれぞれ配置されたパッドを有することを特徴とする。

【0012】また、ASIC集積回路チップ周辺に配置された複数の入出力回路と、複数の入出力回路のそれぞれに対してチップ周辺側とチップ中心側の2か所ずつに配置されたパッドと、複数の入出力回路のうちの任意の入出力回路と、その任意の入出力回路に対してチップ周辺側とチップ中心側の2か所ずつに配置されたパッドのうち任意のパッドとを接続する配線とを有する構成としたものである。

【0013】また、本発明は、上記の複数の入出力回路をボンディングが可能なパッドピッチの半分の値以上でパッドピッチ以下のピッチで配列し、複数のパッドを、複数の入出力回路に対してチップ周辺側の領域とチップ中心側の領域のそれぞれにボンディングが可能なパッドピッチ以上で配置された構成とすることもできる。

【0014】また、本発明は、複数の入出力回路のうち奇数番目の入出力回路を、それぞれ対応して設けられたチップ周辺側とチップ中心側の2か所ずつに配置されたパッドのうち一方(又はチップ周辺側の領域とチップ中心側の領域のそれぞれに配置されたパッドのうち一方の領域)のパッドにのみ配線により接続し、偶数番目の入出力回路を、それぞれ対応して設けられたチップ周辺側とチップ中心側の2か所ずつに配置されたパッドのうち他方(又はチップ周辺側の領域とチップ中心側の領域のそれぞれに配置されたパッドのうち他方の領域)のパッドにのみ配線により接続することを特徴とする。この発明では、いわゆる千鳥パッド構造の入出力バッファを実現できる。

【0015】更に、本発明は、複数の入出力回路のうち任意の入出力回路を、それぞれ対応して設けられたチップ周辺側とチップ中心側の2か所ずつに配置されたパッドのうち、チップ周辺側(又はチップ周辺側の領域とチップ中心側の領域のそれぞれに配置されたパッドのうちチップ周辺側の領域)に配置されたパッドにのみ配線により接続することを特徴とする。この発明では、ASIC集積回路の内部回路に隣接しているチップ中心側又はチップ中心側の領域内のパッドをすべて未使用とすることができる。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になる入出力バッファの第1の実施の形態の要部の構成図を示す。同図において、ASIC集積回路チップの外周の内側において、並設されている入出力回路1、2、3及び4は、それぞれチップの中心側(図中、上方向)にパッド1PU、2PU、3PU及び4PUが、かつ、周辺側(図中、下方向)にパッド1PB、2PB、3PB及び4PBがそれぞれ1対1に対応して配置されている。

【0017】この実施の形態では、奇数番目の入出力回路1、3は配線1W、3Wを介してチップ周辺側のパッド1PB、3PBに接続され、偶数番目の入出力回路2、4は配線2W、4Wを介してチップ中心側のパッド2PU、4PUに接続されており、いわゆる千鳥パッド構造とされている。パッド1PU、2PU、3PU及び4PUのパッド間距離は十分に短く、また、パッド1PB、2PB、3PB及び4PBのパッド間距離も十分に短く配置されている。これにより、この実施の形態では従来の千鳥パッド構造と同様の多ピン化が実現できる。

【0018】図2は図1の入出力バッファの一実施の形態の要部の、チップ外との信号の授受が少ない場合の構成図を示す。図2では使用パッドは、チップ周辺側のパッド1PB及び3PBだけを使用し、残りのパッド2PB及び4PBとチップ中心側のパッド1PU、2PU、3PU及び4PUは使用しない例である。

【0019】この実施の形態では、チップ中心側に配置

されている不使用のパッド1PU~4PUを含む周辺領域を、内部ゲート領域や配線領域として転用できるため、従来の図6に示した千鳥パッド構造では、デッドスペースとなるところを、この実施の形態では有効に利用できる。

【0020】図3は本発明になる入出力バッファの第2の実施の形態の構成図を示す。同図に示す実施の形態は、拡散プロセス、組立技術が更に進み、ボンディングが可能なピッチの半分程度の $50\mu\text{m}$ 以下のピッチで入出力回路1S~8Sが配列されており、更に、入出力回路1S~8Sに対してチップの周辺側（図中、下方向）の領域にはパッド1PB、3PB、5PB及び7PBが、かつ、チップ中心側（図中、上方向）の領域にはパッド2PU、4PU、6PU及び8PUがそれぞれボンディングが可能なピッチで配置されている。

【0021】この実施の形態では、奇数番目の入出力回路1S、3S、5S及び7Sのそれぞれは配線1W、3W、5W及び7Wを介してパッド1PB、3PB、5PB及び7PBに接続され、他方、偶数番目の入出力回路2S、4S、6S及び8Sは配線2W、4W、6W及び8Wを介してパッド2PU、4PU、6PU及び8PUに接続されている。従って、この図3の実施の形態は、千鳥パッド構造である。

【0022】ここで、チップの周辺側の領域のパッド1PB、3PB、5PB及び7PBに対してはワイヤを低くしてボンディングし、かつ、チップ中心側の領域のパッド2PU、4PU、6PU及び8PUに対してはワイヤを高くしてボンディングすることで、上記のパッド配置を実現できる。その他、フィルムに導体リードを付けたリードオンチップ、通称LOCを用いてボンディングすることでも可能である。

【0023】ところで、図5に示したような千鳥パッド構造では、 $50\mu\text{m}$ 以下のピッチで $80\mu\text{m}$ 角のパッドを配列した場合、チップ周辺部のパッドへの配線22P、24Pによる十分な配線幅（ $20\mu\text{m}$ ~ $30\mu\text{m}$ ）をもつての接続が不可能となる。すなわち、入出力回路の配列ピッチを $50\mu\text{m}$ として、パッドも先端的技術である $80\mu\text{m}$ 角のパッドを $100\mu\text{m}$ ピッチで配列されている状態では、パッド間の間隔は $20\mu\text{m}$ となり（図8参照）、ボンディング技術からくる限界技術で、もはやその間に十分な配線幅をもってパッドに接続できない。

【0024】これに対し、この実施の形態では、 $80\mu\text{m}$ 角のパッド1PB、3PB、5PB及び7PBは互いに2つの入出力回路の配列ピッチである $100\mu\text{m}$ 程度で配列され、同様に $80\mu\text{m}$ 角のパッド2PU、4PU、6PU及び8PUも互いに2つの入出力回路の配列ピッチである $100\mu\text{m}$ 程度で配列されているが、奇数番目の入出力回路1S、3S、5S及び7Sのそれぞれは配線1W、3W、5W及び7Wを介してパッド1P

B、3PB、5PB及び7PBに接続され、他方、偶数番目の入出力回路2S、4S、6S及び8Sは配線2W、4W、6W及び8Wを介してパッド2PU、4PU、6PU及び8PUに接続されており、同じ領域側に配置されている隣接するパッドが接続される入出力回路は1つおきの入出力回路であるため、ボンディングが可能なパッドピッチの半分の $40\mu\text{m}$ ピッチ程度まで入出力回路1S~8Sの配列ピッチが狭くなっても、パッドへのボンディングができ、よって2000ピンを越えるより一層の多ピン化を実現できる。

【0025】図4は図3の入出力バッファの要部の、チップ外との信号の授受が少ない場合の構成図を示す。図4では使用パッドは、チップ周辺側の領域のパッド1PB、3PB、5PB及び7PBだけを使用し、チップ中心側の領域のパッド2PU、4PU、6PU及び8PUは使用しない例である。

【0026】図4の実施の形態では、チップ中心側の領域のパッド2PU、4PU、6PU及び8PUを含む周辺領域も内部ゲート領域や配線領域として転用できるため、従来の図6に示した千鳥パッド構造では、デッドスペースとなるところを、この実施の形態では有効に利用できる。上記の不使用パッド2PU、4PU、6PU及び8PUは内部回路側にあるので、例えば内部回路の電源グランド線に使用したり、それらのパッド間を接続して信号線として使用することなどが可能である。

【0027】すなわち、この実施の形態では、ASICのように顧客の要望により使用するパッド数が最大許容パッド数よりも少ない場合でも、不使用パッドを内部回路側に配置することで他の用途に利用できるため、デッドスペースを少なくすることができる。

【0028】なお、図4ではチップ周辺側の領域に配置されているパッド1PB、3PB、5PB及び7PBをすべて使用しているが、いずれか又は二以上のパッドを不使用とすることもできる（すなわち、チップ周辺側の領域に配置されているパッド1PB、3PB、5PB及び7PBのうちのいずれか一以上のパッドのみを使用する）。

【0029】

【発明の効果】以上説明したように、本発明によれば、複数の入出力回路のそれぞれに対してチップ周辺側とチップ中心側の2か所ずつにパッドが配置されているため、複数の入出力回路をボンディングが可能なパッドピッチ以下でも配列でき、よって、従来に比べて狭ピッチでデッドスペースの少ない構造とすることができる。

【0030】また、本発明によれば、いわゆる千鳥パッド構造の入出力バッファを実現できるため、単列パッド構造に比べて多ピン化ができる。

【0031】更に、本発明によれば、複数の入出力回路のうち任意の入出力回路を、それぞれ対応して設けられたチップ周辺側とチップ中心側の2か所ずつに配置され

たパッドのうち、チップ周辺側に配置されたパッドにのみ配線により接続することにより、集積回路の内部回路に隣接しているチップ中心側のパッド（チップ中心側の領域のパッド）をすべて未使用とすることができるため、未使用のパッドを含む領域を内部回路の電源グランド線その他の配線領域や内部ゲート領域等に転用することができ、千鳥パッド構造ではデッドスペースとなる領域を有効に利用できる。

【0032】更に、本発明によれば、複数の入出力回路をボンディングが可能なパッドピッチの半分の値程度で配列したとしても、パッドに対するボンディングができるため、従来の入出力バッファのピン数に比べて2倍程度の超多ピン化を実現できる。

【図面の簡単な説明】

【図1】本発明になる入出力バッファの第1の実施の形態の要部の構成図である。

【図2】図1の入出力バッファの要部の、チップ外との信号の授受が少ない場合の構成図である。

【図3】本発明になる入出力バッファの第2の実施の形態

の要部の構成図である。

【図4】図3の入出力バッファの要部の、チップ外との信号の授受が少ない場合の構成図である。

【図5】従来の入出力バッファの一例の要部の構成図である。

【図6】従来の入出力バッファの他の例の要部の構成図である。

【図7】千鳥パッド構造でパッドピッチ80 μ mのときのパッド配列を示す図である。

【図8】千鳥パッド構造でパッドピッチ50 μ mのときのパッド配列を示す図である。

【符号の説明】

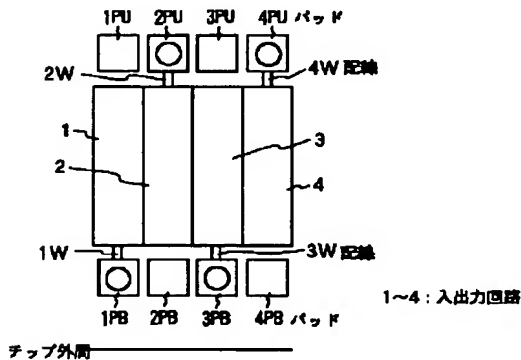
1～4、1S～8S 入出力回路

1PB、2PB、3PB、4PB チップ外周側のパッド

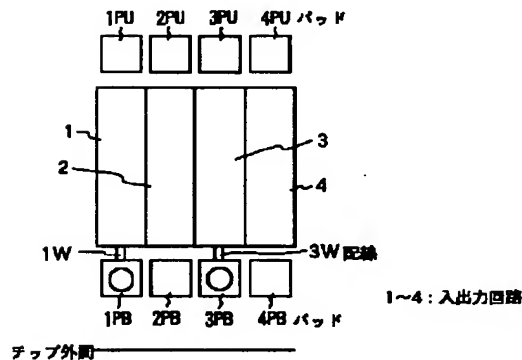
1PU、2PU、3PU、4PU チップ中心側のパッド

1W～8W 入出力回路とパッドとの接続配線

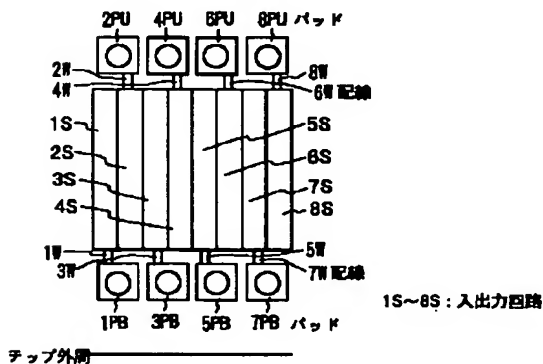
【図1】



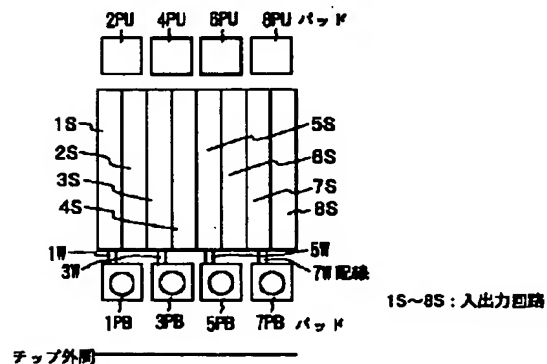
【図2】



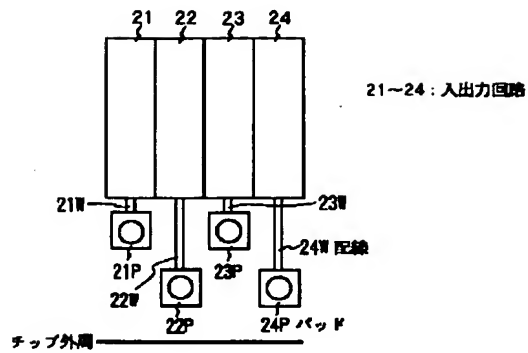
【図3】



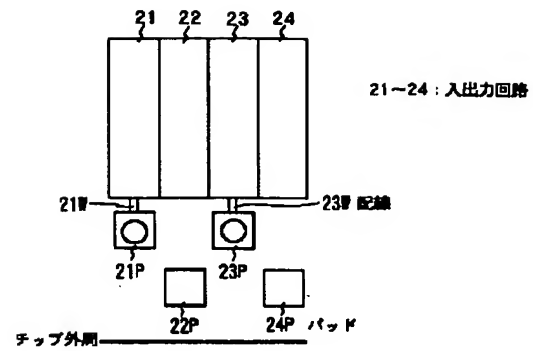
【図4】



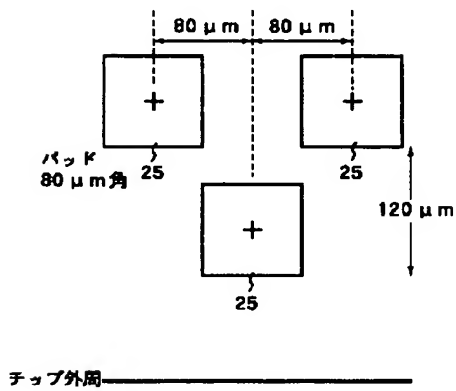
【図5】



【図6】



【図7】



【図8】

